

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076294

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

H01L 27/105
H01L 27/108
H01L 21/8242

(21)Application number : 2000-267527

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 04.09.2000

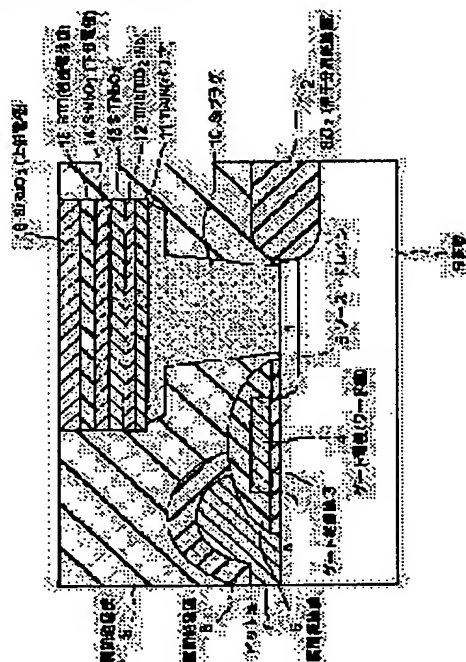
(72)Inventor : OHARA RYOICHI
SHIMIZU TATSUO
FUKUSHIMA SHIN
KAWAKUBO TAKASHI

(54) THIN-FILM CAPACITOR AND SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain proper ferroelectric characteristics by making fatty distorting a BTO film fully distorted, when the BTO is used for a capacitor insulating film, and to enable prevention of oxygen defects in a BTO film due to voltage stress.

SOLUTION: A thin-film capacitor comprises a barrier layer 11, a lower electrode 14, a BTO ferroelectric layer 15, and an upper electrode 16, formed sequentially on an Si plug 10. In this capacitor, a TiAlN is used as the layer 11; an SrNbO₃ is used as the electrode 14, an a-axial length Ab of the layer 11, an original a-axial length Ao of the layer 15; and an a-axial length Ae, after the epitaxial growth of the electrode 14 are set so as to satisfy relational formulae $Ab/Ao \leq 0.995$ and $Ae/Ao \leq 0.995$.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-76294

(P2002-76294A)

(43)公開日 平成14年3月15日(2002.3.15)

(51)IntCl.

識別記号

F I

テマコード(参照)

H 0 1 L 27/105
27/108
21/8242

H 0 1 L 27/10

4 4 4 B 5 F 0 8 3
6 2 1 Z

審査請求 未請求 請求項の数7 O L (全 11 頁)

(21)出願番号 特願2000-267527(P2000-267527)

(22)出願日 平成12年9月4日(2000.9.4)

(71)出願人 000003078

株式会社京芝

東京都港区芝浦一丁目1番1号

(72)発明者 尾原 亮一

神奈川県川崎市幸区小向東芝町1番地 株

式会社京芝研究開発センター内

(72)発明者 清水 達雄

神奈川県川崎市幸区小向東芝町1番地 株

式会社京芝研究開発センター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

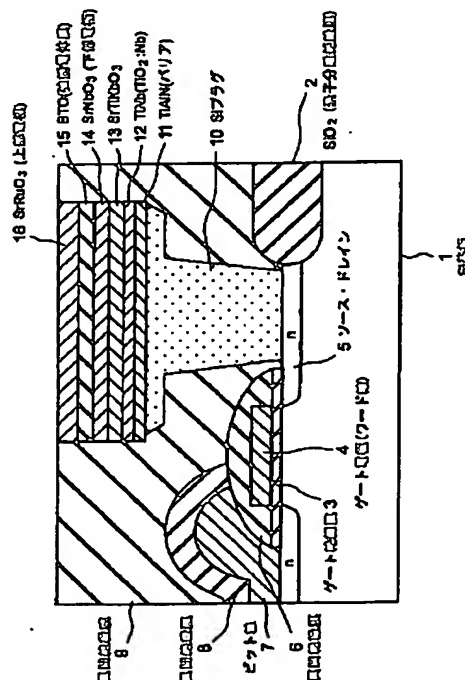
最終頁に続く

(54)【発明の名称】 薄膜キャパシタ及び半導体記憶装置

(57)【要約】

【課題】 キャパシタ絶縁膜にBTOを用いた場合に、BTO膜を十分に歪ませて良好な強誘電特性を得ることができ、且つ電圧ストレスによるBTO膜中の酸素欠損の発生を防止できる。

【解決手段】 Siプラグ10上にバリア層11、下部電極14、BTO強誘電体層15、上部電極16を形成した薄膜キャパシタにおいて、バリア層11としてTiAlNを用い、下部電極14としてSrNbO₃を用い、バリア層11のa軸長Ab、BTO強誘電体層15の本来のa軸長Ao、及び下部電極14のエピタキシャル成長後のa軸長Aeが、
 $Ab/Ao \leq 0.995$
 $Ae/Ao \leq 0.995$
の関係式を満足するように設定されている。



【特許請求の範囲】

【請求項 1】表面に立方晶系の (100) 面、又は正方晶系の (001) 面が表れているバリア層と、このバリア層上にエピタキシャル成長された下部電極と、この下部電極上にエピタキシャル成長された BaTiO_3 を主成分とする強誘電体層と、この強誘電体層上に形成された上部電極とを具備した薄膜キャパシタにおいて、前記下部電極が SrNbO_3 を主成分とする導電性ペロブスカイトからなり、前記バリア層の a 軸長 A_b は前記強誘電体層の本来の a 軸長 A_o よりも小さく、且つ前記下部電極のエピタキシャル成長後の a 軸長 A_e が A_o よりも小さいことを特徴とする薄膜キャパシタ。

【請求項 2】前記各 a 軸長 A_b , A_o , A_e が、

$$A_b/A_o \leq 0.995$$

$$A_e/A_o \leq 0.995$$

の関係を満足することを特徴とする請求項 1 記載の薄膜キャパシタ。

【請求項 3】前記下部電極の構成元素の一部が、Ca, Ba, Ti, V, Mo, Cr, Ru から選ばれた少なくとも一種の元素で置換してあるか、又は構成元素の一部に欠損があることを特徴とする請求項 1 記載の薄膜キャパシタ。

【請求項 4】前記バリア層が導電性ペロブスカイト ABO_3 (A はアルカリ土類、希土類から選ばれた少なくとも一種、 B は Ti, V, Nb, Mo, Cr から選ばれた少なくとも一種) からなることを特徴とする請求項 1 記載の薄膜キャパシタ。

【請求項 5】前記バリア層が Ir 及び Rh の少なくとも一方を含む金属膜からなることを特徴とする請求項 1 記載の薄膜キャパシタ。

【請求項 6】前記バリア層の下部が実質的に TiN , $\text{Ti}_{1-x}\text{Al}_x\text{N}$ から選ばれた一種で形成されていることを特徴とする請求項 1 記載の薄膜キャパシタ。

【請求項 7】トランジスタと薄膜キャパシタからなる半導体記憶装置において、前記薄膜キャパシタは、表面に立方晶系の (100) 面、又は正方晶系の (001) 面が表れているバリア層と、このバリア層上にエピタキシャル成長された SrNbO_3 を主成分とする導電性ペロブスカイトからなる下部電極と、この下部電極上にエピタキシャル成長された BaTiO_3 を主成分とする強誘電体層と、この強誘電体層上に形成された上部電極とを具備してなり、前記バリア層の a 軸長 A_b は前記強誘電体層の本来の a 軸長 A_o よりも小さく、且つ前記下部電極のエピタキシャル成長後の a 軸長 A_e が A_o よりも小さいことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、キャパシタ絶縁膜に強誘電体を用いた薄膜キャパシタに係わり、特に下部

電極の改良をはかった薄膜キャパシタ、更にはこの薄膜キャパシタを用いた半導体記憶装置に関する。

【0002】

【従来の技術】近年、強誘電体薄膜からなる薄膜キャパシタ (強誘電体キャパシタ) を用いた半導体記憶装置 (強誘電体メモリ) の開発が行われており、一部には既に実用化されている。強誘電体メモリは不揮発性であり、記憶保持のために電源を必要としない。しかも、強誘電体薄膜の膜厚が十分薄い場合には自発分極の反転が早く、DRAM並みに高速の書き込み、読み出しが可能であるなどの特徴を持つ。また、1ビットのメモリセルを1つのトランジスタと1つの強誘電体キャパシタで作成することができるため、大容量化にも適している。

【0003】強誘電体メモリに適した強誘電体薄膜には、残留分極が大きいこと、抗電界が小さいこと、残留分極の温度依存性が小さいこと、残留分極の長時間保持が可能であること (リテンション) などが必要である。現在、強誘電体材料としては、主としてジルコン酸チタン酸鉛 (以下、PZTと略称する) が用いられている。PZTは、ジルコン酸鉛とチタン酸鉛の固溶体であるが、ほぼ1:1のモル比で固溶したものは自発分極が大きく、低い電界でも反転することができ、キャパシタ絶縁膜として優れていると考えられている。しかも、強誘電体と常誘電体の転移温度 (キュリー温度) が300℃以上と比較的高いため、通常の電子回路が使用される温度範囲 (120℃以下) では、記憶された内容が熱によって失われる心配は少ない。

【0004】しかしながら、PZTの良質な薄膜は作成が難しいことが知られている。第1に、PZTの主成分であるPbは500℃以上で蒸発しやすく、そのため組成の正確な制御が難しい。第2に、PZTはペロブスカイト型結晶構造を形成したときに初めて強誘電性が現れるが、このペロブスカイト型結晶を持つPZTが得にくく、パイロクロアと呼ばれる結晶構造の方が容易に得られやすいという問題がある。また、シリコンデバイスに応用した場合には、主成分であるPbのシリコン中への拡散を防ぐことが難しいという問題もある。

【0005】PZT以外ではチタン酸バリウム (BaTiO_3 : 以下BTOと略称する) が代表的な強誘電体として知られている。BTOはPZTと同じくペロブスカイト型結晶構造を持ち、キュリー温度は約120℃であることが知られている。Pbと比べるとBaは蒸発しにくいので、BTOの薄膜形成においては、組成の制御が容易である。また、BTOが結晶化した場合は、ペロブスカイト型以外の結晶構造をとることは殆どない。

【0006】これらの長所にも拘わらず、BTOの薄膜キャパシタが強誘電体メモリの記憶媒体としてさほど検討されていない理由として、PZTと比べて残留分極が小さく、しかも残留分極の温度依存性が大きいことが挙げられる。この原因は、BTOのキュリー温度が低い

(120℃) ことにあり、このため強誘電体メモリを作成した場合、100℃以上の高温に晒された場合に記憶内容が失われる恐れがあるばかりではなく、通常電子回路が使用される温度範囲(85℃以下)でも残留分極の温度依存性が大きく、動作が不安定であるためである。従って、BTOからなる強誘電体薄膜を使用した薄膜キャパシタは、強誘電体メモリの記憶媒体としての用途に適さないと考えられていた。

【0007】本発明者らは、新しい強誘電体薄膜として、下部電極(例えば SrRuO_3)の格子定数に比較10の近くやや大きな格子定数を持つ誘電材料(例えば、 $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$ 、以下BSTと略称する)を選択し、かつまたRFマグネトロンスパッタ法という成膜過程でミスフィット転移が比較的入りにくい成膜方法を採用して、単結晶基板上にエピタキシャル成長させることにより、エピタキシャル効果により本来の誘電体の格子定数よりも膜厚方向(c軸)に格子定数が伸び、面内方向(a軸)の格子定数が縮んだ状態を保つことができることを見出した(特許公報第2878986号、登録日平成11年1月22日)。その結果、強誘電キュリー温度を高温側にシフトさせ、室温領域で大きな残留分極を保持できる強誘電体薄膜が実現可能であることを確認している。

【0008】例えば、基板としてMgO単結晶基板や SrTiO_3 単結晶基板を用い、下部電極として SrRuO_3 (格子系は擬立方晶系であり、立方晶に換算したときの格子定数 $a=0.3930\text{nm}$)を使用し、誘電体としてBSTの組成領域 $x=0.30\sim 0.90$ を用いることにより、本来室温では強誘電性を示さないはずの組成領域($x\leq 0.7$)でも強誘電性が発現し、またもともと室温で強誘電性を示す組成領域($x>0.7$)においては、本来室温以上にあるキュリー温度がさらに上昇するという、実用上好ましい強誘電体特性を実現できることを実験的に確認している。即ち、c軸長を人工的に伸長させたBST強誘電体キャパシタを使用することにより、化学的、熱的に安定なBSTプロセスと、Pbを使用したPZT並みかそれ以上の強誘電特性を両立させることが可能になった。

【0009】ところで、上記の技術をBTO膜に適用して超高集積度の不揮発性半導体メモリを作成するためには、トランジスタのソース/ドレイン電極上、或いはその上部に成長させた単結晶Siプラグ上に酸化物強誘電体キャパシタを形成する必要がある。このとき、Si基板とBTO強誘電体層の間には、下部電極、バリア層などの多層膜を形成しなければならないが、下部電極、バリア層などの多層膜に以下のような条件を満たすことが要求される。

【0010】(1) 全て導電性であること、(2) Siの格子定数 0.357nm とBTOの面内格子定数 0.399nm と26%の大きな格子ミスマッチを緩和する

こと、(3) 強誘電体キャパシタを形成後、サブミクロンレベルに微細加工する際に強誘電体層に導入された歪みが緩和せず、強誘電特性が劣化しないこと、(4) 構成元素の相互拡散が起こらないこと、(5) キャパシタ形成時の酸素雰囲気、形成後の高温プロセスにより界面の酸化反応が進行するような熱力学的に還元されやすい材料でないこと。

【0011】本発明者らは、以上の(1)から(5)の要求を満たす下部電極、バリア金属材料の例として、 $\text{SrRuO}_3/\text{SrTiO}_3:\text{Nb}/\text{TiO}_2:\text{Nb}/\text{TiAlN}$ の4層からなる導電膜を開発し、その上部に歪んだエピタキシャルBTO強誘電体薄膜を積層し、ベタ膜では良好な強誘電特性を確認している。また、全セラミック構造で形成しているため、サブミクロンレベルに微細加工してもBTOの歪みの緩和が生じないことも併せて確認している。

【0012】しかしながら、この構造では酸素との結合が弱い SrRuO_3 を下部電極として使用しているため、BTO膜成膜時の温度を上げると SrRuO_3 から脱離した酸素が下方に拡散する。そして、バリア金属材料であるTiAlNの酸化を引き起こし、コンタクト抵抗の大幅な上昇、ひどい場合には酸化反応の進行と共に発生する窒素ガスにより密着性が低下し、膜の剥離が起こることが分かっている。また、下地の酸化を抑制しつつBTO膜を酸素雰囲気中で積層する必要があるので、BTO成膜のプロセスウィンドウが狭く、僅かな成膜条件の変動により下地の酸化が発生してしまい、実用化が難しいという問題点があった。

【0013】以上の問題点から、 SrRuO_3 に替わる電極材料が望まれているが、ここで電極として必要な特性を挙げると、以下の4点になる。

【0014】(A) BTO膜を十分に歪ませ、良好な強誘電特性を得るために、BTO本来のa軸長(0.399nm)よりも0.5%以上a軸長が短いこと、(B) 強誘電体キャパシタ動作時の読み出し/書き込み時に加わる電圧ストレスによる強誘電体膜中の酸素欠損の発生を防止するために、酸素との結合が弱い電極材料であること、(C) 酸化性雰囲気や結晶の不完全性に対して導電性が安定であること、(D) 還元性雰囲気に対して安定であること。

【0015】上述した(B)から(D)の条件を満たす下部電極材料としては、歪み誘起強誘電体キャパシタに限らず、多くの材料が検討されてきた。特に歪み誘起強誘電体キャパシタの場合は、上部強誘電体層と同じ結晶構造を持つ導電性ペロブスカイト物質を使用すれば、高い界面整合性が得られるため、強誘電特性の向上が期待される。しかしながら、(A)から(D)の全ての条件を満たす材料を見出すのは容易ではなく、従来知られている如何なる材料を用いても(A)から(D)を満たすことはできない。

【0016】

【発明が解決しようとする課題】このように従来、Si基板上に直接形成された強誘電体キャパシタ、特にエピタキシャル効果によりBTOの強誘電性が強化された強誘電体キャパシタにおいては、超高集積度の不揮発性メモリに使用される際に予想される前述した(A)から(D)の問題を克服することは困難であった。

【0017】本発明は、上記事情を考慮してなされたもので、その目的とするところは、前述した(A)から(D)の仕様を満足する下部電極を形成することができ、誘電特性の優れた信頼性の高い強誘電体キャパシタ(薄膜キャパシタ)と、これを用いた半導体記憶装置を提供することにある。

【0018】

【課題を解決するための手段】(構成)上記課題を解決するために本発明は次のような構成を採用している。

【0019】即ち本発明は、表面に立方晶系の(100)面、又は正方晶系の(001)面が表れているバリア層と、このバリア層上にエピタキシャル成長された下部電極と、この下部電極上にエピタキシャル成長されたBTOを主成分とする強誘電体層と、この強誘電体層上に形成された上部電極とを具備した薄膜キャパシタにおいて、前記下部電極が SrNbO_3 を主成分とする導電性ペロブスカイトからなり、前記バリア層のa軸長Abは前記強誘電体層の本来のa軸長Aoよりも小さく、且つ前記下部電極のエピタキシャル成長後のa軸長AeがAoよりも小さいことを特徴とする。

【0020】ここで、本発明の望ましい実施態様としては次のものが挙げられる。

【0021】(1) 各a軸長Ab, Ao, Aeが、
 $Ab/Ao \leq 0.995$
 $Ae/Ao \leq 0.995$
 の関係式を満足すること。

【0022】(2) 下部電極の構成元素の一部が、Ca, Ba, Ti, V, Mo, Cr, Ruから選ばれた少なくとも一種の元素で置換してあるか、又は構成元素の一部に欠損があること。

【0023】(3) バリア層が導電性ペロブスカイト ABO_3 (Aはアルカリ土類、希土類から選ばれた少なくとも一種、BはTi, V, Nb, Mo, Crから選ばれた少なくとも一種)からなること。

【0024】(4) バリア層がIr及びRhの少なくとも一方を含む金属膜からなること。

【0025】(5) バリア層の下部が実質的に TiN , $\text{Ti}_{1-x}\text{Al}_x\text{N}$ から選ばれた一種で形成されていること。

【0026】(6) 強誘電体薄膜は、エピタキシャル後のc軸長Ceと、このc軸長Ceと対応するエピタキシャル成長前の本来の正方晶系のc軸長或いは立方晶系のa軸長のCoが、 $Ce/Co \geq 1.02$ を満足すること。

【0027】(7) 下部電極が、 $\text{Sr}_{1-x}\text{NbO}_{3-d}$ ($0 \leq x \leq 0.5$, $0 \leq d \leq 1$)の化学式で表わされること。

【0028】(8) バリア層が、Ir, Rh, 又はIr若しくはRhの一部をRe, Ru, Os, Pt, Pd, Ir, Rhの中から選択された少なくとも一種の金属で置換したfcc構造を持つ合金からなること。

【0029】(9) 強誘電体層が、 ABO_3 の化学式で表わされるペロブスカイト構造を持ち、AはBa, Sr, Caの中から選ばれた少なくとも一種であり、BはTi, Zr, Hf, Sn, Nbの中から選ばれた少なくとも一種であること。

【0030】(10) 下部電極としての SrNbO_3 は、酸素を含まない不活性ガス(例えばAr)雰囲気中でRFマグネトロンスパッタにより形成されること。或いは、還元性ガス(例えば H_2)を含む雰囲気中でRFマグネトロンスパッタにより形成されること。

【0031】また本発明は、トランジスタと薄膜キャパシタからなる半導体記憶装置において、前記薄膜キャパシタは、表面に立方晶系の(100)面、又は正方晶系の(001)面が表れているバリア層と、このバリア層上にエピタキシャル成長された SrNbO_3 を主成分とする導電性ペロブスカイトからなる下部電極と、この下部電極上にエピタキシャル成長されたBTOを主成分とする強誘電体層と、この強誘電体層上に形成された上部電極とを具備してなり、前記バリア層のa軸長Abは前記誘電体層の本来のa軸長Aoよりも小さく、且つ前記下部電極のエピタキシャル成長後のa軸長AeがAoよりも小さいことを特徴とする。

【0032】(作用)本発明では、バリア層、下部電極、強誘電体層、上部電極を積層したキャパシタ構造において、強誘電体層にBTOを主成分とするペロブスカイト、下部電極に SrNbO_3 を主成分とする導電性ペロブスカイトを用い、バリア層のa軸長Abを強誘電体層の本来のa軸長Aoよりも小さく、且つ下部電極のエピタキシャル成長後のa軸長AeをAoよりも小さくしている。これにより、前述した(A)から(D)の仕様を満足する下部電極を形成することができる。

【0033】従って本発明によれば、エピタキシャル成長時に導入される歪みを利用した強誘電体薄膜を利用したキャパシタを、Si上に良好な膜質で作成し、キャパシタ成膜時及びキャパシタ形成後のプロセスにおいて下部電極/バリア層の界面が劣化することなく、良好な強誘電特性を保持することが可能になる。そして、本発明の強誘電体キャパシタとトランジスタをSi基板上に高度に集積することにより、信頼性の高い超高集積化した強誘電体メモリを作成することが可能になる。

【0034】

【発明の実施の形態】実施形態を説明する前に、本発明の基本原理について説明する。

【0035】前述した目的を達成するために、本発明者らは様々な導電膜の組み合わせについて検討した。その結果、格子定数の小さいバリア層上に導電性ペロブスカイト SrNbO_3 層をエピタキシャル成長することにより、a 軸長を本来の値よりも短くして使用することが不可欠であることを見出した。以下、この技術について詳述する。

【0036】まず、歪み誘起強誘電体キャパシタの電極材料について検討する。ペロブスカイト系酸化物強誘電体（本発明では BTO）を使用したキャパシタにおいて、動作電圧を繰り返し印加したときに強誘電体内部の酸素欠陥の生成に伴う強誘電特性の劣化を防止するという観点から、電極は酸化物であることが望ましい。特に、界面整合性が良いことから、強誘電体と同じ結晶構造である導電性ペロブスカイト酸化物が望ましい。

【0037】次に、上部に BTO をエピタキシャル成長させた場合に良好な強誘電特性を得るためには、BTO の面内格子定数を 0.5% 以上圧縮する必要があることが理論上示されている。図 4 は、BTO の a 軸長と c 軸長の関係を示す図（理論計算値）であり、a 軸長が大きくなるに伴い c 軸長は小さくなっている。ここで、BTO は c 軸長が 0.41 nm 以上になると良好な強誘電性が得られることが分かっており、このときの a 軸長は 0.397 nm 以下である。BTO の本来の a 軸長は 0.399 nm であるから、a 軸長を 0.5% 以上圧縮することにより良好な強誘電特性が得られる。

【0038】このように、BTO の a 軸長はエピタキシャル成長後には 0.397 nm 以下に圧縮される必要がある。誘電体膜の歪み緩和がない場合でも下部電極の a 軸長は 0.397 nm 以下である必要がある。SrRuO₃ を始めとして、A サイトとして Sr を使用した多くの導電性ペロブスカイトはこの条件を満足する。

【0039】

SrVO_3 (0.3842 nm)

SrCrO_3 (0.3818 nm)

SrFeO_3 (0.3850 nm)

SrCoO_3 (0.385 nm)

SrRuO_3 (0.393 nm)

SrMoO_3 (0.3975 nm)

SrNbO_3 (0.402 nm)

しかしながら、上記の導電性ペロブスカイトを含めて、B サイトに遷移金属を有する導電性ペロブスカイトの多くは酸素との結合が強いとはいえず、還元雰囲気、或いは電極形成後の熟工程において脱離した酸素が下方に拡散して、下地窒化物バリアメタル層を酸化するおそれがある。下地バリアメタル層の酸化は、コンタクト抵抗の著しい増加をもたらす、またひどい場合には酸化反応の生成物として窒素ガスを発生し、膜の剝離を引き起こす。従って、電極には酸素との結合の強い導電性酸化物を使用することが望ましい。

【0040】さらに、電極形成後のプロセスで導電性が容易に失われないことも重要である。例えば、絶縁体である SrTiO_3 に Nb, La などドーピングしたり、酸素欠損を導入したりすれば、熱力学的に安定な、酸素との結合の強い導電性酸化物材料の候補となる。しかしながら、絶縁体である母物質を酸素欠損や元素置換により導電体化した材料は、膜の結晶性が僅かに劣化しただけで導電性が消失する、欠損量や置換量が僅かに異なっただけで導電性が大きく変化してしまい導電性の制御が困難である、といった問題がある。

【0041】本発明者らは、様々な導電性酸化物を比較検討した結果、以上の条件を全て満たすためには下地との格子ミスマッチを利用して a 軸長を圧縮した導電性ペロブスカイト SrNbO_3 が最適であることを見出した。即ち、

(i) SrNbO_3 は酸素との結合が強く、その安定性は SrTiO_3 に匹敵すること。

【0042】(ii) SrNbO_3 は単結晶だけでなく、多結晶でも導電性を示し、膜の結晶性によって導電性が失われたりしないこと。

【0043】(iii) SrNbO_3 は強誘電体である BTO とは異なり、面内に圧縮され膜厚方向に伸張しても分極によるエネルギーの得が見込めないため、歪みによって a 軸長を制御することは困難ではあるが、成膜方法及び成膜条件を最適化して格子定数の小さい下地膜上にエピタキシャル成長させれば a 軸長が 0.397 nm 以下に歪むこと。

【0044】(iv) 構成元素からなる化合物の中に不安定な物質が含まれないため、成膜装置内の汚染、ダストの発生などを引き起こさず、また加工も容易であるためプロセス適合性が良いこと。

【0045】などが理由である。

【0046】以上説明したように、 SrNbO_3 を主成分とした下部電極を、格子定数の小さなバリア層上にエピタキシャル成長させ面内格子定数を圧縮することで、前記 (A) ~ (D) の条件を全て満たすことが初めて可能になり、半導体メモリとして最適な歪み誘起エピタキシャル強誘電体キャパシタを作成することが可能になる。

【0047】次に、本発明者らは SrNbO_3 の組成について詳細な検討を行った。下部電極としての SrNbO_3 の構成元素の一部を、Ca, Ba, Ti, V, Mo, Cr, Ru から選ばれた少なくとも一種の元素で置換するか、又は構成元素の一部に欠損を設けた。このように SrNbO_3 の A, B 各サイトに対して添加物を加えるか、又は A サイト欠損、酸素欠損を加えることにより、 SrNbO_3 の特性、具体的には導電性、格子定数がより精密に制御可能となる。

【0048】 SrNbO_3 は Sr 欠損、或いは A サイトの Ca 置換、B サイトの Ti 置換などにより格子定数を

小さくできることが知られている。先にも説明したように、下地との格子定数差を利用して SrNbO_3 の単位格子を面内に圧縮させることで、面内格子定数を制御することは可能だが、特に下地バリア層が格子定数の小さなIr系金属($a=0.384\text{nm}$)であるような場合は、格子ミスマッチ量が大きくなり、良好な結晶性の SrNbO_3 エピタキシャル膜を形成することが困難である。そこで、Sr欠損、BサイトのTi置換、AサイトのCa置換によって、本来の格子定数を小さくすることが必要となる。

【0049】しかしながら、上記のような構成元素の置換は、いずれも比抵抗値の増大をもたらし、電極として使用することを考えると、好ましくない手法である。そこで、導電性の低下を補うために、Nbの4d軌道からなる伝導バンドの直下にレベルを作るドーパントを添加してやればよい。具体的には、Ru, Mo, Vなどが挙げられるが、このようなドーパント物質はいずれも酸素との結合が弱い酸化物を形成するので、ドーパント量としては30%以下であることが好ましい。

【0050】このように、組成制御によって面内格子定数を小さくした SrNbO_3 を使用することにより、Irのように SrNbO_3 との格子ミスマッチが大きな膜の上にも、結晶性、平坦性が共に優れた SrNbO_3 導電性ペロブスカイトをエピタキシャル成長することが可能となる。

【0051】次に、本発明者らは SrNbO_3 下部電極の下地となるバリア層に関して検討した。バリア層は非酸化物である下地バリア金属層の上部に形成することから、熱力学的に安定でなくてはならない。従って、熱力学的には極めて安定だが絶縁体である SrTiO_3 の一部をNbやLaで置換して導電性を発現させた導電性 SrTiO_3 膜をバリア層として使用することが好ましい。誘電体膜を形成する場合とは異なり、 SrNbO_3 下部電極をエピタキシャル成長させるときのスパッタ雰囲気は無酸素雰囲気であるので、例えば酸素欠損の導入により導電体化した SrTiO_3 をバリア層に用いても、下部電極成膜中に導電性を失う恐れはない。

【0052】また、 SrTiO_3 のa軸長は 0.390nm であり、上部に SrNbO_3 がエピタキシャル成長した場合に下地に整合してa軸長が圧縮されるので、歪み誘起強誘電体の下部電極として使用することができる。さらに、この構造を使用する場合、Si基板から上部強誘電体膜まで全てセラミック材料を用いているため、微細加工により歪みが緩和して強誘電特性が劣化することがなく、超高集積化した場合の強誘電体キャパシタのプロセス適合性が高い。

【0053】このような観点から、バリア層としてエピタキシャル成長した導電性ペロブスカイト ABO_3 (Aはアルカリ土類、希土類から選ばれた少なくとも一種、BはTi, V, Nb, Mo, Crから選ばれた少なくとも

も一種)を使用するのが望ましい。

【0054】また、バリア層としてIr及びRhの少なくとも一方を含む金属膜を用いるのが望ましい。Ir及びRhは格子定数がそれぞれ 0.384nm 、 0.380nm と小さく、またPtのような軟質な金属とは異なり硬いため、強誘電体膜の歪みの緩和が起きないというメリットを持つ。また、酸化物も導電性を示すため、どのようなプロセス下でも界面が劣化しコンタクト抵抗が上昇するようなことはない。しかしながら、 SrNbO_3 とは若干格子ミスマッチが大きいので、結晶性良く SrNbO_3 膜をエピタキシャル成長させるためには、前述したようにSr欠損を導入したり、構成元素をTiで置換したりすることにより、 SrNbO_3 の格子定数を短くすることが好ましい。

【0055】以下、本発明の詳細を図示の実施形態及び比較例によって説明する。

【0056】(第1の実施形態)図1は、本発明の第1の実施形態に係わる薄膜キャパシタ、特に強誘電体メモリに用いられる薄膜キャパシタの素子構造を示す断面図である。

【0057】本実施形態は、薄膜キャパシタの下部電極として歪み SrNbO_3 を用いたことを特徴としており、図中の1はSi基板、2は素子分離絶縁膜、3はゲート絶縁膜、4はゲート電極(ワード線)、5はn型拡散層(ソース・ドレイン領域)、6, 8, 9は層間絶縁膜、7はビット線、10はSiプラグ、11はTiAlNバリア層、12はTiNb($\text{TiO}_2:\text{Nb}$)膜、13は SrTiNbO_3 膜、14は SrNbO_3 下部電極、15は強誘電体膜としての BaTiO_3 (BTO)、16は SrRuO_3 上部電極を示している。

【0058】まず、単結晶Si((100)方位)で作成したSiプラグ10まで完成している基板上に、超高真空チャンバーを有するヘリコンスパッタ装置を用いて第1のバリア層として(Ti, Al)N膜11を 10nm 堆積した。さらにこの上部に、DCスパッタ装置を用いてTiNb膜12を 8nm 堆積した。(Ti, Al)NはTiAl合金ターゲットを用いて Ar/N_2 雰囲気中で、TiNbはTiNb合金ターゲットを用いて Ar 雰囲気中でスパッタを行っている。

【0059】この上部に熱力学的に安定な導電性ペロブスカイトバリア層として、 $\text{Sr}(\text{Ti}, \text{Nb})\text{O}_3$ 膜13を 30nm 堆積した。このときの成膜雰囲気は Ar 0.1Pa であるが、酸化物ターゲットからの酸素によりTiNb膜12は酸化され、アナターゼ構造の導電性 $\text{TiO}_2:\text{Nb}$ 単層が形成されていることをX線回折により確認している。

【0060】なお、 $\text{Sr}(\text{Ti}, \text{Nb})\text{O}_3$ バリア層13のNb置換量としては、多過ぎるとa軸長が大きくなり、下部電極としての SrNbO_3 のa軸長も下地に整合して大きくなるため、強誘電体膜としてのBTO膜が

良好な強誘電特性を示さない。逆に、Nb置換量が少な過ぎると、安定した導電性が得られない。従って、Nb置換量は0.1%から60%が好ましく、さらに1%から20%が最も好ましい領域である。

【0061】このバリア層13の上部に下部電極としてSrNbO₃膜14をRFマグネトロンスパッタを用いて30nm堆積した。その上に強誘電体としてBTO膜15を20nm、さらにその上に上部電極としてSrRuO₃膜16を100nm堆積し、強誘電体キャパシタを作成した。このときの成膜雰囲気は、SrNbO₃膜14はAr雰囲気、BTO膜15はAr/O₂雰囲気であり、温度は600℃としている。

【0062】作成した薄膜キャパシタのX線回折を行ったところ、(Ti, Al)N膜11, Sr(Ti, Nb)O₃膜13, SrNbO₃下部電極14, BTO誘電体膜15, SrRuO₃上部電極16の全てがエピタキシャル成長していることが分かった。さらに、断面電子顕微鏡観察を行ったところ、酸化層生成に伴う(Ti, Al)N膜11とSr(Ti, Nb)O₃膜13との界面の荒れは見受けられなかった。

【0063】また、四軸X線回折装置により格子定数を測定したところ、SrNbO₃下部電極14のa軸長が0.396nmと下地に整合して0.5%以上歪んでいることが確認できた。即ち、格子定数の小さいバリア層上に導電性ペロブスカイトSrNbO₃を先の条件でエピタキシャル成長することにより、a軸長を本来の値よりも短くすることができた。そして、このSrNbO₃下部電極14上のBTO膜15はc軸長が0.425nmと十分に歪んでおり、(002)回折ピークのロッピングカーブの半値幅も0.5°と結晶性も良好であった。

【0064】また、キャパシタとしての強誘電特性を測定したところ、残留分極0.52C/cm²、抗電圧2.1Vの特性が得られ、かつ2V印加時のリーク電流密度は 2×10^{-7} A/cm²以下であった。さらに、15VのDCストレスを印加しても絶縁破壊は発生しなかった。

【0065】このように、Si/TiAlN/TiO₂:Nb/SrTiNbO₃/SrNbO₃/BTO/SrRuO₃構造のキャパシタにおいては、熱力学的に安定なSrNbO₃を下部電極として使用しているため、バリアメタル層の酸化を抑制することができる。しかも、下部電極としてのSrNbO₃を下地バリア層に整合させてa軸長が本来の値よりも短くなるようにしているので、強誘電体膜としてのBTOを十分に歪ませることができ、良好な強誘電特性のキャパシタが作成可能となる。

【0066】(第2の実施形態)図2は、本発明の第2の実施形態に係わる薄膜キャパシタの素子構造を示す断面図である。なお、図1と同一部分には同一符号を付し

て、その詳しい説明は省略する。

【0067】本実施形態は、第1の実施形態と同様に、薄膜キャパシタの下部電極として歪みSrNbO₃を用いており、更にバリア層としてIrを用いている。

【0068】まず、単結晶Si((100)方位)で作成したSiプラグ10まで完成している基板上に、超高真空チャンバーを有するヘリコンスパッタ装置を用いて、第1のバリア層として(Ti, Al)N膜21を10nm堆積した。さらにこの上部に、DCスパッタ装置を用いて第2のバリア層としてのIr膜22を20nm堆積した。(Ti, Al)N膜21はTiAl合金ターゲットを用いてAr/N₂雰囲気、Ir膜22はIrターゲットを用いてAr雰囲気ですパッタを行うことにより形成している。

【0069】Irバリア層22の上部にRFマグネトロンスパッタを用いて、下部電極としてSrTi_{0.25}Nb_{0.75}O₃膜24を30nm堆積した。ここで、下部電極24としてSrNbO₃ではなく一部をTiで置換したのは、先にも説明したように下部電極24と下地バリア層22としてのIrとの格子ミスマッチを小さくするためである。下地バリア層22としてIrの代わりにRhを用いた場合にも同様にすればよい。

【0070】そして、下部電極24上に強誘電体膜としてBTO膜25を20nm、さらにその上に上部電極としてSrRuO₃膜26を100nm堆積し、強誘電体キャパシタを作成した。このときの成膜雰囲気は、SrTi_{0.25}Nb_{0.75}O₃膜24はAr雰囲気、BTO膜25はAr/O₂雰囲気であり、温度は600℃としている。

【0071】作成した薄膜キャパシタのX線回折を行ったところ、(Ti, Al)Nバリア層21, Irバリア層22, SrTi_{0.25}Nb_{0.75}O₃下部電極24, BTO誘電体膜25, SrRuO₃上部電極26の全てがエピタキシャル成長していることが分かった。さらに、断面電子顕微鏡観察を行ったところ、酸化層生成に伴う表面モフォロジ荒れは見受けられなかった。

【0072】また、四軸X線回折装置により格子定数を測定したところ、下部電極24としてのSrTi_{0.25}Nb_{0.75}O₃のa軸長が0.392nmと下地に整合して歪んでいることが確認できた。そして、その上部のBTO膜25はc軸長が0.435nmと十分に歪んでおり、(002)回折ピークのロッピングカーブの半値幅も0.4°と結晶性も良好であった。

【0073】また、キャパシタとしての強誘電特性を測定したところ、残留分極0.60C/cm²、抗電圧1.9Vの特性が得られ、かつ2V印加時のリーク電流密度は 1.5×10^{-7} A/cm²以下であった。さらに、15VのDCストレスを印加しても絶縁破壊は発生しなかった。

【0074】(比較例1)図3は、本発明の比較例とし

ての薄膜キャパシタの素子構造を示す断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0075】まず、単結晶Si(100)方位で作成したSiプラグ10まで完成している基板上に、超高真空チャンパーを有するヘリコンスパッタ装置を用いて第1のバリア層として(Ti, Al)N膜31を10nm堆積した。さらにこの上部に、DCスパッタ装置を用いてTiNb膜32を8nm堆積した。(Ti, Al)N膜31はTiAl合金ターゲットを用いてAr/N₂雰囲気、TiNb膜32はTiNb合金ターゲットを用いてAr雰囲気ですパッタを行うことにより形成している。

【0076】TiNb膜32の上部に、熱力学的に安定な導電性ペロブスカイトバリア層として、Sr(Ti, Nb)O₃膜33を30nm堆積した。このときの成膜雰囲気はAr_{0.1}Paであるが、酸化物ターゲットからの酸素によりTiNb膜32は酸化され、アナターゼ構造の導電性TiO₂:Nb単層が形成されていることをX線回折により確認している。

【0077】導電性ペロブスカイトバリア層33上に、RFマグネトロンスパッタを用いて下部電極としてSrRuO₃膜34を30nm、さらにその上に強誘電体薄膜としてBTO膜35を20nm、さらにその上に上部電極としてSrRuO₃膜36を100nm堆積し、強誘電体キャパシタを作成した。このときの成膜雰囲気は、SrRuO₃, BTO共にAr/O₂雰囲気であり、温度は600℃としている。

【0078】作成した薄膜キャパシタのX線回折を行ったところ、(Ti, Al)N膜31, Sr(Ti, Nb)O₃膜33, SrRuO₃下部電極34, BTO誘電体膜35, SrRuO₃上部電極36の全てがエピタキシャル成長していることが分かった。

【0079】しかしながら、走査型電子顕微鏡により表面観察を行ったところ、全面に渡って直径1μm程度の膨れが生じていた。さらに、断面電子顕微鏡観察を行ったところ、(Ti, Al)N膜31とTiO₂:Nbとの界面で膜の剥離が生じていた。次に、この積層膜をリソグラフィー及びエッチング技術によりSiプラグまでキャパシタに加工し、リーク特性を評価したところ、測定した400個のキャパシタのうち99%のキャパシタが短絡により測定不可能であった。

【0080】また、(Ti, Al)N膜31の酸化を抑えるために、SrRuO₃下部電極成膜時の温度を500℃に下げてキャパシタを形成したところ、上述したような表面モフォロジ荒れは観察されなかったものの、X線回折の結果、結晶性の指標となるロックンギングカーブの半値幅が、SrRuO₃(002)ピークは2.0°、BTO(002)ピークに関しては1.8°と結晶性が悪く、良好な強誘電特性が得られなかった。

【0081】このように、SrRuO₃/BTO/SrRuO₃/SrTiO₃:Nb/TiO₂:Nb/TiAlN/Si構造のキャパシタにおいては、下部電極34に酸素との結合が弱いSrRuO₃を使用しているため、膜質を向上させるために成膜時温度を上げると下地窒化物バリアメタル層が酸化してモフォロジが荒れるという問題があった。また、SrRuO₃を使わずにSr(Ti, Nb)O₃層を下部電極にするという方法も考えられるが、前述したようにNbが少ない領域では導電性が結晶の不完全性や酸素雰囲気に対して不安定である。逆に、Nbが多い場合は格子定数が大きくなってしまい、上部にBTOをエピタキシャル成長したときに十分に歪まないため、良好な強誘電特性が得られないという問題がある。

【0082】これに対し先の第1及び第2の実施形態では、下部電極にSrNbO₃を用い、且つその下地と製造条件の最適化によりa軸長を本来の値よりも短くすることによって、BTO強誘電体膜のa軸長を下部電極に整合して0.5%以上歪ませる(圧縮する)ことができ、これにより良好な強誘電性と結晶性を得ることができた。キャパシタに加工しても、大きな残留分極、抗電圧2.1Vの特性が得られ、かつリーク電流も小さくでき、さらにDCストレスに対する耐性も十分大きくできた。

【0083】即ち、下地バリア層との格子不整合を利用して、熱力学的に極めて安定な導電性ペロブスカイトSrNbO₃の面内格子定数を短くすることで、上部に十分に歪んだBTO強誘電体膜をより好ましい成膜条件にてエピタキシャル成長することができ、良好な強誘電特性や高い信頼性を持つキャパシタが得られる。

【0084】なお、本発明は上述した各実施形態に限定されるものではない。実施形態では、表面に立方晶系の(100)面が表れているバリア層の例を説明したが、バリア層は正方晶系の(001)面が表れているものであってもよい。また、下部電極はSrNbO₃に限るものではなく、その構成元素の一部が、Ca, Ba, Ti, V, Mo, Cr, Ruから選ばれた少なくとも一種の元素で置換してあるか、又は構成元素の一部に欠損があるものであってもよい。さらに、バリア層は、導電性ペロブスカイトABO₃(Aはアルカリ土類、希土類から選ばれた少なくとも一種、BはTi, V, Nb, Mo, Crから選ばれた少なくとも一種)からなるものであればよい。

【0085】また、本発明の薄膜キャパシタは必ずしも強誘電体メモリに限るものではなく、各種の半導体回路の要素デバイスとして使用することが可能である。さらに、バリア層、下部電極、強誘電体膜等の製法は必ずしもスパッタに限るものではなく、エピタキシャル成長できる方法であればよい。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0086】

【発明の効果】以上詳述したように本発明によれば、バリア層、下部電極、強誘電体層、上部電極を積層したキャパシタ構造において、強誘電体層にBTOを主成分とするペロブスカイト、下部電極に SrNbO_3 を主成分とする導電性ペロブスカイトを用い、バリア層のa軸長 A_b を強誘電体層の本来のa軸長 A_o よりも小さく、且つ下部電極のエピタキシャル成長後のa軸長 A_e を A_o よりも小さく設定することにより、エピタキシャル成長時に導入される歪みを利用したBTO強誘電体薄膜をSi上に良好な膜質で作成し、キャパシタ成膜時及びキャパシタ形成後のプロセスにおいて下部電極/バリア層の界面が劣化することなく、良好な強誘電特性を保持することが可能になる。そして、本発明の強誘電体キャパシタとトランジスタをSi基板上に高度に集積することにより、信頼性の高い超高集積化した強誘電体メモリを作成することが可能になる。

【図面の簡単な説明】

【図1】第1の実施形態に係わる薄膜キャパシタの素子構造を示す断面図。

【図2】第2の実施形態に係わる薄膜キャパシタの素子

構造を示す断面図。

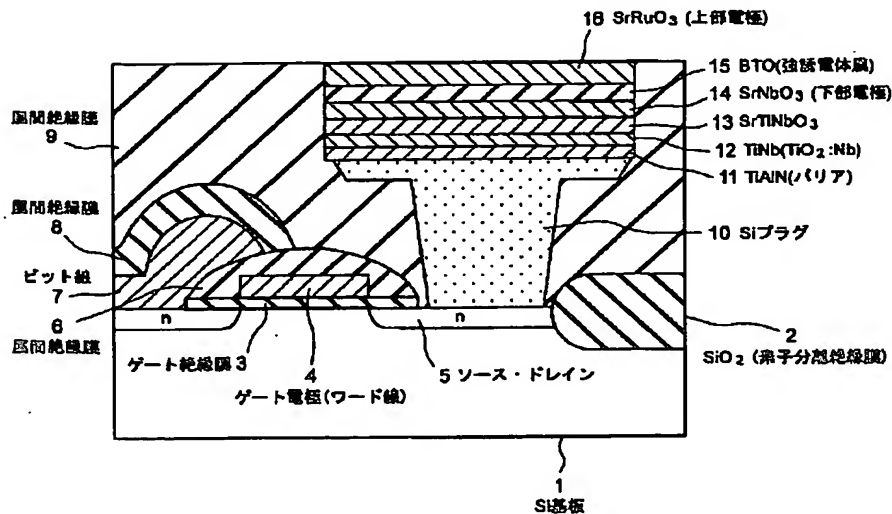
【図3】本発明の比較例に係わる薄膜キャパシタの素子構造を示す断面図。

【図4】BTOにおけるa軸長とc軸長との関係を示す図。

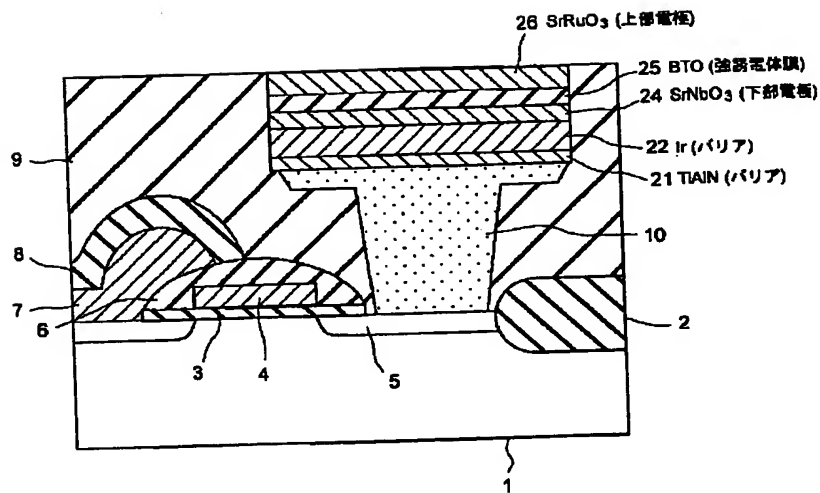
【符号の説明】

- 1…Si基板
- 2…素子分離絶縁膜
- 3…ゲート絶縁膜
- 4…ゲート電極（ワード線）
- 5…n型拡散層（ソース・ドレイン領域）
- 6, 8, 9…層間絶縁膜
- 7…ビット線
- 10…Siプラグ
- 11, 21…TiAlN膜（バリア層）
- 12…TiNb ($\text{TiO}_2:\text{Nb}$) 膜（バリア層）
- 13… SrTiNbO_3 膜（バリア層）
- 14, 24… SrNbO_3 膜（下部電極）
- 15, 25… BaTiO_3 (BTO) 膜（強誘電体膜）
- 16; 26… SrRuO_3 膜（上部電極）
- 22…Ir膜（バリア層）

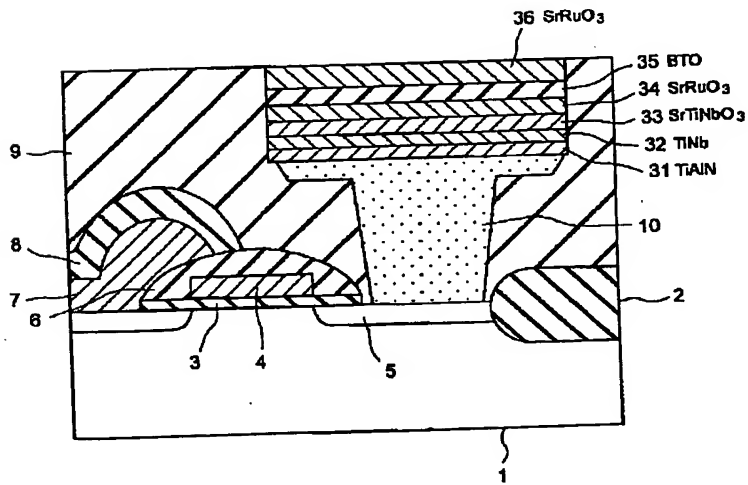
【図1】



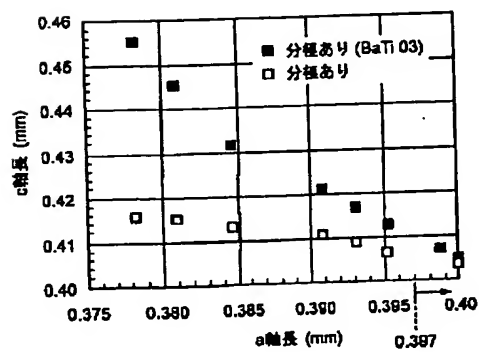
【図 2】



【図 3】



【図 4】



フロントページの続き

(72)発明者 福島 伸
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 川久保 隆
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
Fターム(参考) 5F083 AD22 JA14 JA15 JA36 JA39
JA40 JA43 JA45 MA05 MA06
MA17 PR25

THIS PAGE BLANK (USPTO)